

OPI  
0300IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Michael Moyal

Serial No.: 09/897,341

Filed: July 2, 2001

Title: CHARGE PUMP

Docket No.: 33759

LETTER

Commissioner for Patents  
ATTN: BOX PCT  
Washington, D.C. 20231

Sir:

Enclosed is a certified copy of German Patent Application No. 100 32 248.4; the priority of which has been claimed in the above-identified application.

Respectfully submitted,

PEARNE &amp; GORDON LLP

  
John P. Murtaugh, Reg. No. 34226

526 Superior Avenue East  
Suite 1200  
Cleveland, Ohio 44114-1484  
(216) 579-1700

Date: 8-23-01

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, ATTN: BOX PCT, Washington, D.C. 20231 on the date indicated below.

John P. Murtaugh

Name of Attorney for Applicant(s)

8-23-01  
Date

Signature of Attorney

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 100 32 248.4

**Anmeldetag:** 3. Juli 2000

**Anmelder/Inhaber:** Xignal Technologies AG, Unterhaching/DE  
(vormals: München/DE)

**Bezeichnung:** Steuerbare Stromquelle

**IPC:** H 03 K, H 02 M, H 03 L

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.**

München, den 25. Juli 2001  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

**Spitz, Klinger & Partner GbR**  
Rechtsanwälte • Wirtschaftsprüfer • Steuerberater

Spitz, Klinger & Partner GbR • Bavariaring 20 • D-80336 München

Dr. jur. Volker Spitz, LL.M.  
Dr. jur. Alfred N. Klinger  
Alexander Gaul  
Beate Hanika  
Johannes M. Krüger  
Rechtsanwälte

Dipl.-Kfm. Robert Thalhauser  
Wirtschaftsprüfer Steuerberater

Telefon : (089) 544 25 40  
Telefax : (089) 543 90 40  
e-mail : skpmuc@aol.com

Ihr Zeichen / Your Ref.

Unser Zeichen / Our Ref.

Datum / Date

8087 P 1234 DE

03.07.2000

Anmelder: **Xignal Technologies AG**  
**Frankfurter Ring 193a**  
**80807 München**

---

**Steuerbare Stromquelle**

---

Kanzlei / Office  
Bavariaring 20  
D-80336 München

Bankverbindung / Bank Account  
Reuschel & Co. München  
BLZ 700 303 00  
Konto-Nr. / Account 11 38625

Umsatzsteuer-Nr.  
VAT Registration No.  
DE 811 901 653

## Beschreibung

Die Erfindung betrifft eine steuerbare Stromquelle sowie unter Verwendung einer derartigen Stromquelle realisierte elektronische Schaltungen.

5

Die Erfindung geht aus von einer auch als „Charge Pump“ bezeichneten steuerbaren Stromquelle, umfassend einen ersten und einen zweiten Versorgungsanschluss zum Anlegen eines ersten bzw. eines zweiten Versorgungspotentials, einen Ausgangsanschluss zur Stromabgabe, der über einen ersten Strompfad mit dem ersten Versorgungsanschluss und über einen zweiten Strompfad mit dem zweiten Versorgungsanschluss verbunden ist, wobei die Strompfade jeweils eine versorgungsseitige, durch ein Stromsteuersignal aktivierbare Stromsteuereinrichtung sowie in Reihe dazu eine ausgangsseitige Stromeinstelleinrichtung aufweisen.

15 Fig. 1 zeigt schematisch eine derartige Stromquelle 10, die abhängig von zwei Eingangssignalen (Stromsteuersignale  $S_1, S_2$ ) an einem Ausgangsanschluss einen Ausgangstrom  $I$  bereitstellt, der positiv oder negativ sein kann. Bei den Stromsteuersignalen handelt es sich meistens um digitale Spannungen, wobei eines der Stromsteuersignale („Up-Signal“) zur Abgabe eines positiven Stroms aktiviert wird und das andere der Stromsteuersignale („Down-Signal“) zur Abgabe eines negativen Stroms aktiviert wird.

20

Fig. 2 zeigt Details dieser Stromquelle 10, die über einen ersten Versorgungsanschluss 12 mit einem ersten Versorgungspotential  $V_1$  (hier: Masse) und über einen zweiten Versorgungsanschluss 14 mit einem zweiten Versorgungspotential  $V_2$  (hier: positive Versorgungsspannung) versorgt wird.

Ein Ausgangsanschluss 16 zur Abgabe des Stroms  $I$  ist über einen ersten Strompfad 18 mit dem ersten Versorgungsanschluss 12 verbunden und über einen zweiten Strompfad 20 mit dem zweiten Versorgungsanschluss 14 verbunden, wobei die Strompfade 18, 20 jeweils einen Feldeffekttransistor (FET) 22 bzw. 24 (Stromsteuereinrichtung) sowie in Reihe dazu einen FET 26 bzw. 28 (ausgangsseitige Stromeinstelleinrichtung) aufweisen.

Der FET 24 wird durch das Stromsteuersignal  $S_2$  zur Abgabe eines positiven Stroms  $I$  am Ausgangsanschluss 16 angesteuert, wohingegen in analoger Weise ein aktives Stromsteuersignal  $S_1$  zu einer Abgabe eines negativen Stroms  $I$  führt.

- 5 Die FETs 26, 28 dienen dazu, die durch Aktivierung der jeweiligen FETs 22, 24 hervorgerufenen Ströme einzustellen. Im dargestellten Beispiel liegt an den Gate-Anschlüssen der FETs 26, 28 jeweils eine vorbestimmte, zur Erzielung des gewünschten Stroms geeignete Spannung  $V_a$  bzw.  $V_b$  an.
  
- 10 Im Bereich zwischen der Stromsteuereinrichtung und der Stromeinstelleinrichtung jedes Strompfads sind zwangsläufig mehr oder weniger große parasitäre Kapazitäten 30, 32 vorhanden. Nachteilig ist an der bekannten Stromquelle, dass diese parasitären Kapazitäten 30 und 32 bei jedem Schalten der Transistoren 22, 24 geladen bzw. entladen werden. Dies wirkt sich nachteilig auf das dynamische Verhalten der Stromquelle aus (z.B. durch "charge sharing" bzw. "negative Injektion").
  
- 15

- Die parasitären Kapazitäten besitzen eine nicht genau vorhersehbare Größe und variieren auch innerhalb einer Herstellungscharge. Um den Einfluss dieser unterschiedlichen Kapazitäten zu verringern, wurde bisher das Schalten bzw. Abschalten der Steuersignale  $S_1$  und  $S_2$  zeitlich versetzt aktiviert. Beim Einsatz der Charge Pump in einem Phasenregelkreis führt dies zu einem Phasenoffset des VCO-Ausgangssignals gegenüber der Frequenzreferenz. In P. Larsson, „A 2-1600-MHz CMOS Clock Recovery PLL with Low-Vdd Capability“ in IEEE Journal of Solid-State Circuits, Vol. 34, No. 12, December 1999, p. 1951-1960“ wird dieser zeitliche Versatz als nachteilig erkannt und zu dessen Vermeidung vorgeschlagen, die Knoten beim Deaktivieren der Transistoren mit dem Massepotential (Knoten 32) bzw. dem Versorgungspotential (Knoten 30) der Charge Pump zu verbinden. Damit können die Stromsteuersignale  $S_1$ ,  $S_2$  ohne zeitlichen Versatz vorgesehen werden, ohne dass es zu einem wesentlichen Phasenoffset kommt.
- 
- 20
  - 25
  - 30 Außerdem tritt bei der bekannten Charge Pump bei jedem Schalten der Transistoren 22, 24 eine unerwünschte Störung ("Peaks" bzw. Einschwingverläufe) im Ausgangstrom  $I$  auf. Die oben erwähnte Veröffentlichung beschäftigt sich nicht mit diesen Störungen (Die

darin vorgeschlagene Verbesserung vergrößert diese Störungen sogar beim Einschalten der FETs 22 bzw. 24).

Das Zustandekommen dieser zusätzlichen Störungen sei am Beispiel des in Fig. 2 oberen Strompfads 20 erläutert. Zu den Störungen trägt vermutlich maßgebend die kapazitive Kopplung am Stromeinstell-FET 28 zwischen dessen Substrat bzw. Kanal einerseits und dessen Gate andererseits bei. Beim Schalten des FETs 24 kommt es zu einer abrupten Potentialänderung am Drain des FETs 28. Dies führt zu einer Störung im Gate-Potential des FETs 28 und damit zu entsprechend verstärkten Störungen im Strom des Strompfads 20. Bei Verwendung der Charge Pump in einem Phasenregelkreis führt dies zu einem entsprechenden Jitter am VCO-Ausgang, der erst bei einer Analyse des Ausgangstroms auf relativ kleiner Zeitskala (z.B. in der Größenordnung einiger ps) zutage tritt und somit vor allem bei Phasenregelkreisen für relativ hohe Oszillationsfrequenzen die Leistungseigenschaften drastisch verschlechtert.

Dementsprechend ist es eine Aufgabe der Erfindung, die Störungen im Ausgangstrom einer Stromquelle der eingangs genannten Art zu verringern.

Erfindungsgemäß ist vorgesehen, dass den Strompfaden jeweils eine Potentialeinstelleinrichtung zugeordnet ist, mittels der bei inaktiver Stromsteuereinrichtung des Strompfads an einen zwischen der Stromsteuereinrichtung und der Stromeinstelleinrichtung liegenden Zwischenabschnitt des Strompfads ein vorbestimmtes, in seinem Wert zwischen den beiden Versorgungspotentialen liegendes Einstellpotential angelegt wird.

Damit kann die Störung des Ausgangstroms bedeutend verringert werden. Wesentlich hierfür ist die Erzeugung eines vorbestimmten Einstellpotentials, welches in seinem Wert zwischen den beiden Versorgungspotentialen liegt und bei inaktiver Stromsteuereinrichtung an einen Stromfadabschnitt zwischen Stromsteuereinrichtung und Stromeinstelleinrichtung angelegt wird. Dies bewirkt zum einen, dass die Knoten zumindest teilweise über die Potentialeinstelleinrichtung und damit nicht über den Ausgangsanschluss geladen bzw. entladen werden. Zum anderen ist die Potentialänderung des Knotens beim Aktivieren wie auch Deaktivieren der Stromsteuereinrichtung vergleichs-

weise gering, wodurch vor allem die Störungen auf kleiner Zeitskala verringert werden.

Vorzugsweise ist das Einstellpotential von beiden Versorgungspotentialen um wenigstens 5%, weiter bevorzugt um wenigstens 10% der Differenz zwischen den beiden

5 Versorgungspotentialen (=Versorgungsspannung) entfernt.

Besonders einfach ist es, wenn ein gemeinsames Einstellpotential für beide Strompfade verwendet wird. Dieses liegt dann bevorzugt etwa in der Mitte zwischen den beiden Versorgungspotentialen, insbesondere um weniger als 10%, weiter bevorzugt weniger

10 als 5% der Versorgungsspannung von diesem Mittelwert abweichend.

Alternativ können die beiden Einstellpotentiale voneinander verschieden sein und somit vorteilhaft individuell zur Verringerung der Störungen an die beiden Strompfade angepasst werden. In diesem Fall liegt das Einstellpotential für den ersten Strompfad 15 bevorzugt näher an dem ersten Versorgungspotential als das Einstellpotential für den zweiten Strompfad. Hierbei weiter bevorzugt liegen die beiden Einstellpotentiale in verschiedenen Hälften des Versorgungsspannungsintervalls [V1; V2].

Um die Störungen praktisch gänzlich zu vermeiden, kann das Einstellpotential für einen 20 oder beide Strompfade „ideal“ gewählt werden, d.h. derart, dass das Ausmaß der Störungen minimiert wird. In einer bevorzugten Ausführungsform der Erfindung ist vorgesehen, dass das Einstellpotential für wenigstens einen der beiden Strompfade etwa gleich (insbesondere maximal 10% abweichend) demjenigen Potential ist, welches an dem Zwischenabschnitt dieses Strompfads vorliegen würde, wenn die

25 Stromsteuereinrichtung dieses Strompfads bei fehlender Potentialeinstelleinrichtung gerade aktiviert wird. Wenn die Stromeinstelleinrichtung von einem oder mehreren FETs gebildet ist, so ist ein Einstellpotential, welches etwa gleich dem Gate-Potential des dem Zwischenabschnitt (Knoten) benachbarten Stromeinstell-FETs ist (insbesondere maximal 10% davon abweichend), eine gute Näherung dieses idealen Einstellpotentials.

30 Schließlich ist in einer weiteren Ausführung vorgesehen, jedes Einstellpotential möglichst nahe am benachbarten Versorgungspotential vorzusehen, jedoch nur so nahe, dass bei angelegtem Einstellpotential der entsprechende Stromeinstell-Transistor sperrt, um ein

Abfließen von Ladung von dem Knoten zum Ausgangsanschluss zu vermeiden.

Ganz allgemein kann die Stromsteuereinrichtung von mehreren FETs in Reihen- und/oder Parallelschaltung gebildet sein. Das gleiche gilt für die Stromeinstelleinrichtung.

- 5 In einer Ausführungsform sind die FETs des einen der beiden Strompfade (bevorzugt der Strompfad seitens des negativen Versorgungspotentials) vom n-Kanal-Typ, wohingegen diejenigen des anderen Strompfads vom p-Typ sind.

In einfacher und effizienter Weise kann die Potentialeinstelleinrichtung das Einstellpotential zwischen zwei Transistoren, insbesondere zwischen den Kanälen von zwei, 10 einen Spannungsteiler bildenden FETs bereitstellen. Diese beiden FETs können beispielsweise direkt mit den beiden Versorgungspotentialen verbunden sein und damit die Versorgungsspannung unmittelbar teilen. Alternativ kann eine von der Versorgungsspannung abgeleitete Spannung geteilt werden.

- 15 Die Ansteueranschlüsse der beiden Spannungsteiler-Transistoren können mit von dem Stromsteuersignal abgeleiteten Steuersignalen derart beaufschlagt werden, dass bei inaktiver Stromsteuereinrichtung beide Transistoren eher leiten, wohingegen bei aktiver Stromsteuereinrichtung beide Transistoren eher sperren und den Knoten somit isolieren.
- 20 Bevorzugt weist der Spannungsteiler einerseits einen (oder mehrere) n-Kanal-FET und andererseits einen (oder mehrere) p-Kanal-FET auf, die mit zueinander inversen, aus dem Stromsteuersignal abgeleiteten Ansteuersignalen an deren Gate-Bereichen beaufschlagt werden. Weiter bevorzugt ist jedem Ansteuereingang der FETs wenigstens eine Verstärkeranordnung, insbesondere wenigstens eine invertierende Verstärker- 25 anordnung vorgeschaltet.

Die Erfindung wird nachfolgend beispielhaft anhand der beigefügten Zeichnungen detaillierter beschrieben. Es stellen dar:

- 30 Fig. 1 schematisch eine Charge Pump;

- Fig. 2 Details der Charge Pump nach Fig. 1;

Fig. 3 eine Charge Pump gemäß einer ersten Ausführungsform der Erfindung;

Fig. 4 eine Modifikation der Ausführungsform nach Fig. 3;

5

Fig. 5 eine Charge Pump gemäß einer zweiten Ausführungsform der Erfindung; und

Fig. 6 in schematischer Weise einen Phasenregelkreis, in welchem eine erfindungsgemäß Charge Pump verwendet ist.

10

 Die Fig. 1 und 2 veranschaulichen, wie eingangs erläutert, eine Charge Pump in herkömmlicher Ausführung.

Bei der nachfolgenden Beschreibung von Ausführungsbeispielen der Erfindung werden 15 für analoge Komponenten die gleichen Bezugszeichen verwendet und im Wesentlichen lediglich auf die Besonderheiten der erfindungsgemäßen Ausführungen eingegangen. Im übrigen wird hiermit ausdrücklich auf die Beschreibung der herkömmlichen Ausführung nach Fig. 1 und 2 und der jeweils bereits beschriebenen Ausführungsbeispiele Bezug genommen.

20

 Fig. 3 zeigt ein erstes Ausführungsbeispiel der erfindungsgemäßen Stromquelle, bei der zwei Transistoren  $T_1$  und  $T_2$  (hier: FETs) zusammen mit jeweils zugeordneten Potentialerzeugungseinrichtungen zur Erzeugen von Potentialen  $V_{aa}$  und  $V_{bb}$  Potential-einstelleinrichtungen  $40_1$  und  $40_2$  bilden, mittels der bei inaktiver Stromsteuereinrichtung 25 22, 24 an die Zwischenabschnitte 30, 32 das Einstellpotential  $V_{aa}$  bzw.  $V_{bb}$  angelegt wird. Diese Potentiale  $V_{aa}$  und  $V_{bb}$  liegen beide zwischen den beiden Versorgungspotentialen  $V_1$  und  $V_2$ :

$$V_{aa} = V_1 + V_{t1}$$

$$V_{bb} = V_2 - V_{t2}$$

30

wobei  $V_{t1}$  und  $V_{t2}$  im Hinblick auf die Schwellspannung des n-Kanal-FET 26 bzw. die Schwellspannung des p-Kanal-FET 28 derart gewählt sind, dass diese FETs gerade sperren.

- 5 Die derart gewählten Einstellpotentiale  $V_{aa}$ ,  $V_{bb}$  sind eine Näherung für die jeweiligen „idealen“ Potentiale. Auch ist ein günstiges Einstellpotential für den Strompfad 20 gleich demjenigen Potential, welches an dem Knoten 32 ohne Vorsehen der Potential-einstelleinrichtung vorliegen würde, kurz nachdem der FET 24 durch das Signal  $S_2$  aktiviert (durchgeschaltet) wurde und der FET 22 des Strompfads 18 bereits inaktiviert
- 10 (sperrend) ist. Bei der Ansteuerung kann auch vorgesehen sein, zeitweise beide Stromsteuersignale gleichzeitig zu aktivieren.

Wenn der FET 24 bzw. der FET 22 abgeschaltet wird, so werden die Pfadabschnitte 32 bzw. 30 mit den Einstellpotentialen vorgeladen und die oben erläuterten Störungen 15 drastisch reduziert. Darüber hinaus werden dadurch Leckströme zwischen den Pfad-abschnitten 32, 30 und dem Ausgangsanschluss vermieden, da die Einstellpotentiale die Spannung zwischen Gate- und Drain-Bereichen der Stromeinstell-FETs 28, 26 derart verändern, daß diese FETs im Wesentlichen sperren.

- 20 Fig. 4 zeigt eine Modifizierung der Schaltungsanordnung nach Fig. 3, bei der das Schaltungsverhalten weiter verbessert ist, indem die Referenz-Potentiale  $V_a$ ,  $V_b$  gefiltert werden. In Kombination mit der Anlage von Einstellpotentialen  $V_{aa}$ ,  $V_{bb}$ , die zwischen den Versorgungspotentialen  $V_1$  und  $V_2$  liegen, führt diese Maßnahme zu einer weiteren Verbesserung des Verhaltens der Schaltung, da die Auswirkungen der eingangs 25 erläuterten kapazitiven Ankopplung der Gate-Bereiche der Stromeinstell-FETs 26, 28 an deren Drain-Bereiche weiter reduziert werden.

Zur Filterung der Potentiale  $V_a$ ,  $V_b$  sind diese jeweils kapazitiv an wenigstens eines der Versorgungspotentiale  $V_1$ ,  $V_2$  angekoppelt.

- 30 Im dargestellten Beispiel ist das Potential  $V_a$  über eine Kapazität  $C_1$  mit dem Potential  $V_1$  verbunden, wohingegen das Potential  $V_b$  über eine weitere Kapazität  $C_2$  mit dem

Potential  $V_2$  verbunden ist. Diese Gestaltung, bei der ein Gate-Potential eines Stromeinstell-FETs jeweils kapazitiv nur an das jeweils benachbarte Versorgungspotential gekoppelt ist, besitzt den Vorteil, dass eine Störung in der Versorgungsspannung (wie sie z.B. durch weitere Einheiten einer integrierten Schaltung oftmals erzeugt werden), 5 über diese kapazitive Kopplung kompensiert werden und sich damit nur unwesentlich auf den Ausgangsstrom auswirken.

Fig. 5 zeigt eine weitere Ausführungsform der erfindungsgemäßen Stromquelle. Im Unterschied zu den vorangegangenen Ausführungsformen besteht eine Besonderheit 10 darin, dass die Stromeinstelleinrichtungen 26, 28 jeweils aus einer Reihenschaltung mehrerer (hier: zwei) Transistoren gebildet sind. Bei dieser Gestaltung ist die Einstellung des Stroms in den Pfaden 18, 20 präziser, insbesondere hängen die eingestellten Ströme weniger stark von der Spannung an den Stromeinstelleinrichtungen bzw. dem Potential am Ausgangsanschluss 16 ab.

15 Die beiden Transistoren (hier: FETs) jeder Stromeinstelleinrichtung werden hier mit voneinander verschiedenen Gate-Potentialen  $V_{a1}$  und  $V_{a2}$  bzw.  $V_{b1}$  und  $V_{b2}$  beaufschlagt. Wie aus der Figur ersichtlich, wird jedes der Gate-Potentiale hierbei kapazitiv an ein jeweils benachbartes der Versorgungspotentiale  $V_1$ ,  $V_2$  angekoppelt.

20 Eine weitere Besonderheit ist die Erzeugung des Einstellpotentials am Ausgang eines durch zwei Transistoren gebildeten Spannungsteilers  $T_1$ , bzw.  $T_2$ . Dies sei am Beispiel des in Fig. 5 oberen Bereichs erläutert. Einer der Spannungsteiler-FETs wird an seinem Gate-Anschluss mit dem selben Signal beaufschlagt wie der Gate-Anschluss des FETs 25 der zugehörigen Stromsteuereinrichtung 22 bzw. 24, wohingegen der andere der beiden Spannungsteiler-FETs an seinem Gate mit einem dazu invertierten Signal beaufschlagt wird. Diese beiden Signale werden jeweils aus einer zwischen den Versorgungspotentialen  $V_1$ ,  $V_2$  geschalteten, aus einer Reihenschaltung von zwei Transistoren gebildeten Verstärkerschaltung (CMOS-Inverter)  $42_2$  bzw.  $44_2$  geliefert. Eine dieser 30 Verstärkerschaltungen ( $44_2$ ) wird direkt mit dem Stromsteuersignal  $S_2$  angesteuert, wohingegen die Ansteuerung der anderen Verstärkerschaltung  $42_2$  mittelbar durch das

Stromsteuersignal  $S_2$  erfolgt, nämlich durch ein Ausgangssignal der ersten Verstärkeranordnung 44<sub>2</sub>.

Die erfindungsgemäße Stromquelle kann wie erwähnt einen Teil einer integrierten  
5 Schaltung bilden.

Durch Nachschaltung eines Integratorglieds lässt sich eine steuerbare Spannungsquelle mit verbesserten Leistungseigenschaften realisieren. Die Anordnung eines spannungs-gesteuerten Oszillators (VCO) am Ausgang einer solchen Spannungsquelle führt zu  
10 einer entsprechenden steuerbaren Oszillator-Einrichtung.

Besonders bevorzugt ist die Integration der erfindungsgemäßen Stromquelle in einem Phasenregelkreis, wie er beispielsweise als sogenannte „Phase Locked Loop“ (PLL) vielfältig Verwendung findet. Eine derartige Schaltungsanordnung ist in Fig. 6 dargestellt.  
15

Wie aus Fig. 6 ersichtlich, umfaßt der Phasenregelkreis 50 eingangsseitig einen Phasendetektor 68, der mit einem Referenzsignal  $f_{ref}$  versorgt wird und die Phase dieses Signals mit einem rückgekoppelten und ebenfalls dem Phasendetektor 68 eingegebenen Rückkopplungssignal vergleicht. Abhängig vom Ergebnis dieses Vergleichs wird entweder das Signal  $S_1$  oder das Signal  $S_2$  aktiviert. Diese digitalen Signale werden einer erfindungsgemäßen Charge Pump 10 eingegeben. Der Ausgangstrom  $I$  dieser Charge Pump 10 wird über einen Integrator 60 in eine Spannung  $V$  gewandelt und als Eingangssignal eines nachgeschalteten VCO 62 verwendet. Dieser VCO 62 gibt dann ein Ausgangssignal  $f_{VCO}$  ab, welches gleichzeitig als Rückkopplungssignal über einen  
20 Rückkopplungspfad 64 zu dem Phasendetektor 68 zurückgeführt wird.  
25

Der Phasenregelkreis lässt sich z.B. zur Takt-Rückgewinnung in einer integrierten Schaltung verwenden und zur Vervielfachung der Frequenz des Ausgangssignals  $f_{VCO}$  gegenüber dem Eingangssignal  $f_{ref}$  lässt sich in an sich bekannter Weise ein Teiler 66 im  
30 Rückkopplungspfad 64 anordnen.

Moderne PLLs mit Taktfrequenzen von bis zu einem GHz und darüber hinaus haben sehr strenge Anforderungen an das Takt-Jitter-Verhalten. In vielen Fällen ist der Jitter auf dem Ausgangssignal des VCOs der limitierende Faktor für die Qualität von Systemen in verschiedenen Applikationen wie Datenkommunikations- oder Unterhaltungselektronik-

- 5 Systemen. Bei solchen Systemen kann die durch Verwendung einer herkömmlichen Charge Pump hervorgerufene Störung durch die negative Injektion signifikant zur Verschlechterung des Jitter-Verhaltens beitragen. Durch die Erfindung können sowohl die Größe von Störungsspitzen als auch deren Dauer im Ausgangstrom der Charge Pump signifikant reduziert werden.

10

15

## Ansprüche

5 1. Steuerbare Stromquelle, umfassend

einen ersten und einen zweiten Versorgungsanschluss (12, 14) zum Anlegen eines ersten bzw. eines zweiten Versorgungspotentials ( $V_1, V_2$ ),

10 einen Ausgangsanschluss (16) zur Stromabgabe, der über einen ersten Strompfad (18) mit dem ersten Versorgungsanschluss (12) und über einen zweiten Strompfad (20) mit dem zweiten Versorgungsanschluss (14) verbunden ist,

15 wobei die Strompfade (18, 20) jeweils eine versorgungsseitige, durch ein Stromsteuersignal ( $S_1, S_2$ ) aktivierbare Stromsteuereinrichtung (22, 24) sowie in Reihe dazu eine ausgangsseitige Stromeinstelleinrichtung (26, 28) aufweisen,

20 dadurch gekennzeichnet, dass den Strompfaden (18, 20) jeweils eine Potentialeinstelleinrichtung ( $40_1, 40_2$ ) zugeordnet ist, mittels der bei inaktiver Stromsteuereinrichtung (22, 24) des Strompfads (18, 20) an einen zwischen der Stromsteuereinrichtung und der Stromeinstelleinrichtung liegenden Zwischenabschnitt (30, 32) des Strompfads ein vorbestimmtes, in seinem Wert zwischen den beiden Versorgungspotentialen liegendes Einstellpotential ( $V_{aa}, V_{bb}$ ) angelegt wird.

25 2. Steuerbare Stromquelle nach Anspruch 1,

wobei die Stromsteuereinrichtung (22, 24) wenigstens einen FET aufweist, dessen Kanal einen Abschnitt des Strompfads (18, 20) bildet.

3. Steuerbare Stromquelle nach Anspruch 1 oder 2,

30 wobei die Stromeinstelleinrichtung (26, 28) wenigstens einen FET aufweist, dessen Kanal einen Abschnitt des Strompfads (18, 20) bildet.

4. Steuerbare Stromquelle nach Anspruch 1, 2 oder 3,  
wobei die beiden Einstellpotentiale ( $V_{aa}$ ,  $V_{bb}$ ) voneinander verschieden sind.
5. Steuerbare Stromquelle nach einem der Ansprüche 1 bis 4,  
wobei das Einstellpotential ( $V_{aa}$ ) für den ersten Strompfad (18) näher an dem ersten  
Versorgungspotential ( $V_1$ ) liegt als das Einstellpotential ( $V_{bb}$ ) für den zweiten  
Strompfad (20).
6. Steuerbare Stromquelle nach einem der Ansprüche 1 bis 5,  
wobei das Einstellpotential ( $V_{aa}$ ,  $V_{bb}$ ) für einen der beiden Strompfade (18, 20) etwa  
gleich demjenigen Potential ist, welches an dem Zwischenabschnitt (30, 32) dieses  
Strompfads (18, 20) vorliegt, wenn die Stromsteuereinrichtung (22, 24) dieses  
Strompfads (18, 20) aktiviert wird.
7. Steuerbare Stromquelle nach einem der Ansprüche 1 bis 6,  
wobei die Potentialeinstelleinrichtung (40<sub>1</sub>, 40<sub>2</sub>) das Einstellpotential ( $V_{aa}$ ,  $V_{bb}$ )  
zwischen den Kanälen von zwei, einen Spannungsteiler bildenden FETs bereit-  
stellt.
8. Steuerbare Stromquelle nach Anspruch 7,  
wobei die Gateanschlüsse der beiden Spannungsteiler-FETs mit von dem  
Stromsteuersignal  $S_1$ ,  $S_2$  abgeleiteten Steuersignalen derart beaufschlagt werden,  
dass bei inaktiver Stromsteuereinrichtung (22, 24) beide Spannungsteiler-FETs  
leiten, wohingegen bei aktiver Stromsteuereinrichtung beide Spannungsteiler-FETs  
sperren.
9. Steuerbare Spannungsquelle, umfassend eine steuerbare Stromquelle (10) nach  
einem der Ansprüche 1 bis 8 und einen nachgeschalteten Integrator (60).
10. Steuerbare Oszillatoren einrichtung, umfassend eine steuerbare Spannungsquelle (10,  
60) nach Anspruch 9 und einen nachgeschalteten VCO (62).

11. Phasenregelkreis (50), umfassend einen Phasendetektor (68), eine nachgeschaltete steuerbare Oszillatoreinrichtung (10, 60, 62) nach Anspruch 10 sowie einen Rückkopplungspfad (64) von der Oszillatoreinrichtung (10) zum Phasendetektor (68).

## **Zusammenfassung**

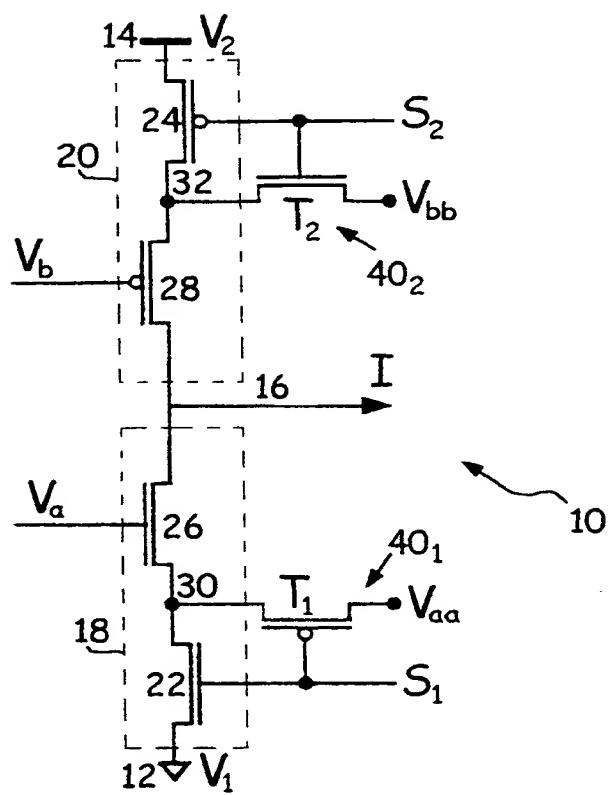
Die Erfindung betrifft eine steuerbare Stromquelle, umfassend Versorgungsanschlüsse (12, 14) zum Anlegen von zwei Versorgungspotentials ( $V_1$ ,  $V_2$ ), einen Ausgangsanschluss (16) zur Stromabgabe, der über einen ersten Strompfad (18) mit dem ersten Versorgungsanschluss (12) und über einen zweiten Strompfad (20) mit dem zweiten Versorgungsanschluss (14) verbunden ist, wobei die Strompfade (18, 20) jeweils eine durch ein Stromsteuersignal ( $S_1$ ,  $S_2$ ) aktivierbare Stromsteuereinrichtung (22, 24) sowie eine ausgangsseitige Stromeinstelleinrichtung (26, 28) aufweisen.

Erfindungsgemäß ist vorgesehen, dass den Strompfaden (18, 20) jeweils eine Potentialeinstelleinrichtung zugeordnet ist, mittels der bei inaktiver Stromsteuereinrichtung (22, 24) an einen zwischen der Stromsteuereinrichtung und der Stromeinstelleinrichtung liegenden Zwischenabschnitt (30, 32) ein vorbestimmtes, in seinem Wert zwischen den beiden Versorgungspotentialen liegendes Einstellpotential angelegt wird.

Damit werden die Leistungseigenschaften der Stromquelle verbessert, insbesondere können eine negative Injektion und Störungen im Ausgangstrom vermieden werden. Beim Einsatz der Stromquelle in einer PLL wird das Jitter-Verhalten am Ausgang des VCO erheblich verbessert.

(Figur 3)

**FIGUR ZUR ZUSAMMENFASSUNG**



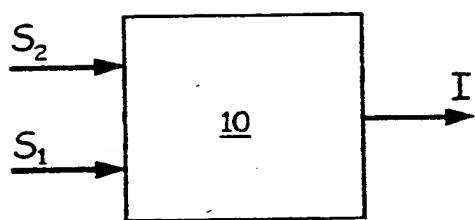


Fig. 1

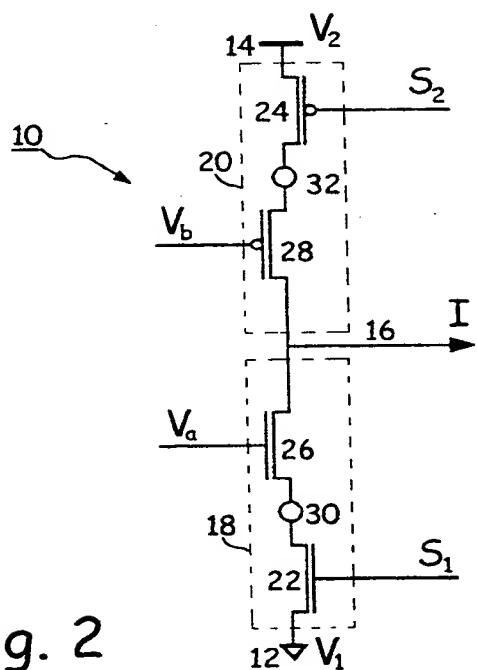


Fig. 2

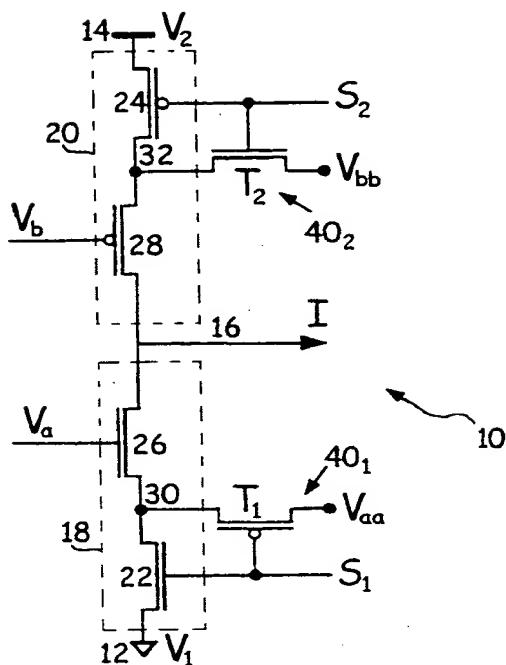
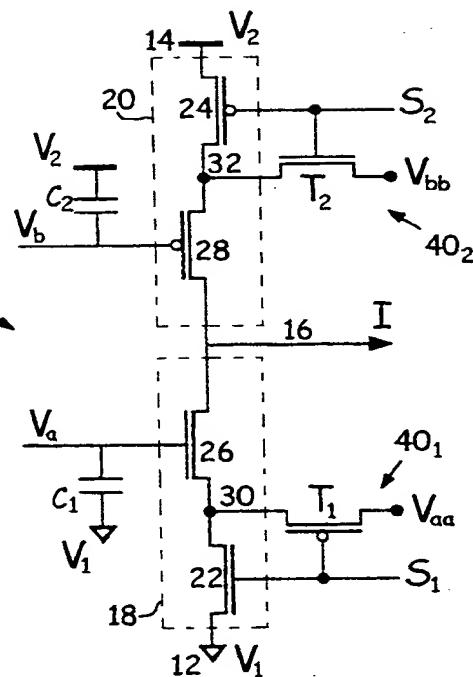


Fig. 3



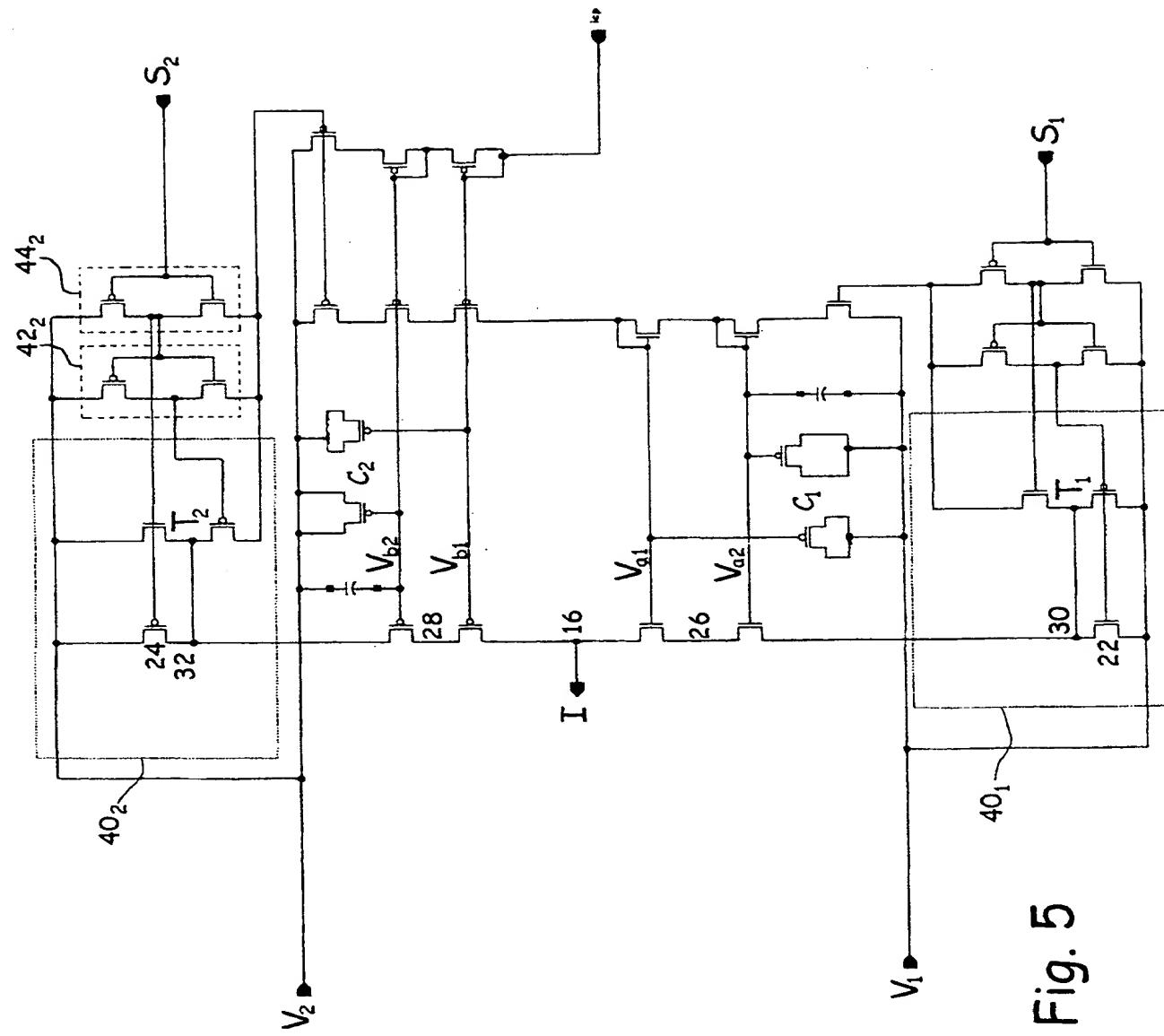


Fig. 5

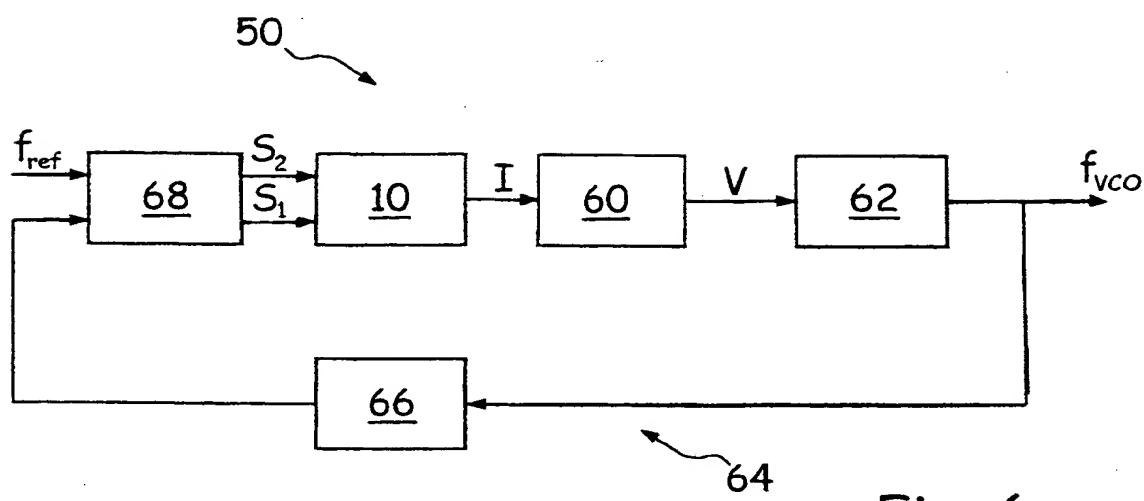


Fig. 6